

## SYLLABUS

**1. Puni naziv nastavnog predmeta:**

Projektovanje logičkih sistema

**2. Skraćeni naziv nastavnog predmeta / šifra:**

ne popunjavati

**3. Ciklus studija:**

1

**4. Bodovna vrijednost ECTS:**

6

**5. Status nastavnog predmeta:** Obavezni  Izborni**6. Preduslovi za polaganje nastavnog predmeta:**

Osnovi programiranja

**7. Ograničenja pristupa:**

Studenti Fakulteta elektrotehnike, studijski program "Elektrotehnika i računarstvo" koji imaju ispunjene preduslove

**8. Trajanje / semestar:**

1

4

**9. Sedmični broj kontakt sati:**

9.1. Predavanja:

3

9.2. Auditorne vježbe:

0

9.3. Laboratorijske / praktične vježbe:

2

**10. Fakultet:**

Fakultet elektrotehnike

**11. Odsjek / Studijski program:**

Elektrotehnika i računarstvo

**12. Odgovorni nastavnik:**

dr.sc. Lejla Banjanović-Mehmedović, vanr.prof

**13. E-mail nastavnika:**

lejla.mehmedovic@untz.ba

**14. Web stranica:**

--

**15. Ciljevi nastavnog predmeta:**

Ciljevi kursa su da studenti nauče osnove analize i sinteze digitalnih logičkih kola. Na kraju semestra/kursa uspješni studenti, koji su tokom čitavog nastavnog perioda kontinuirano obavljali svoje obaveze, će biti osposobljeni da: znaju o integrisanim digitalnim kolima, implementacionim tehnologijama logičkih sistema i savremenom projektovanju digitalnih sistema u cilju analize problema i projektovanja kombinacionih i sekvencijalnih kola, kao i digitalnih sistema korištenjem CAD i HDL dizajna.

**16. Ishodi učenja:**

Na kraju semestra/kursa uspješni studenti, koji su tokom čitavog nastavnog perioda kontinuirano obavljali svoje obaveze, će biti osposobljeni da: znaju o integrisanim digitalnim kolima, implementacionim tehnologijama logičkih sistema i savremenom projektovanju digitalnih sistema u cilju analize problema i projektovanja kombinacionih i sekvencijalnih kola, kao i digitalnih sistema korištenjem CAD i HDL dizajna.

**17. Indikativni sadržaj nastavnog predmeta:**

Integrisani digitalna kola. Bulova algebra i logička kola. Implementacione tehnologije. TTL, MOSFET logička kola. Standardni čipovi. Programabilna logička kola (PLA, PAL, SPLD, CPLD, FPGA). Sinteza i optimizacija logičkih funkcija. Uvod u hardverske deskripcione jezike (VHDL i Verilog). Verilog i CAD dizajn logičkih kola. Dizajn aritmetičkih kola. Kombinaciona kola. Koderi i dekoderi. Multiplekseri i demultiplekseri. Flip-flopovi. Registri i brojači. Sinhrona sekvencijalna kola. Elementarni automati. Mašina konačnih stanja. Asinhrona sekvencijalna kola. Dizajn digitalnih sistema.

**18. Metode učenja:**

Na predavanjima kroz usmeno izlaganje (prikazuju se PowerPoint prezentacije) se demonstrira gradivo koje je predviđeno program, za dodatna objašnjenja se koristi ploča i kreda.

Na laboratorijskim vježbama će se praktično analizirati problemi i projektovati kombinaciona i sekvencijalna kola te digitalni sistemi srednje složenosti korištenjem CAD i HDL dizajna.

**19. Objašnjenje o provjeri znanja:**

Kontinuirana provjera znanja tokom semestra, kroz grupne i/ili pojedinačne seminarske radove, na kraju semestra se radi završni ispit. Seminarski radovi se izvode u okviru laboratorijskih vježbi, analizira se problem i dizajnira rješenje, kod kuće se završava finalni izvještaj. Ukupno se rade 3 seminarska rada i nose po 15 bodova. Po svakom sem. radu, mora se osvojiti minimalno pola bodova od predviđenog iznosa. Završni, popravni završni i dodatni popravni završni ispit obuhvaćaju kompletno gradivo, ali sa akcentom na gradivo koje nije obuhvaćeno testom i seminarskim radovima i polažu se pismeno. Na završnom ispitu student može osvojiti maksimalno 50 bodova, odnosno minimalno 25 bodova. Provjere na svim oblicima znanja priznaju se kao kumulativni ispit i da bi student položio predmet mora ostvariti minimalno 54 kumulativna boda.

**20. Težinski faktor provjere:**

Ocjena na ispitu zasnovana je na ukupnom broju bodova koje je student stekao ispunjavanjem predispitnih obaveza i polaganjem završnog ispita. Student može ostvariti maksimalno 100 bodova i to prema sljedećoj skali:

Prisustvo predavanjima/vježbama	5
Bodovanje pojedinačnog sem. rada	15
Ukupno predispitne obaveze	50
Završni ispit	50
Ukupno	100

**21. Osnovna literatura:**

T. R. Kuphaldt, "Lessons in Electric Circuits, Volume IV-Digital", 2007.  
S. Brown, Z. Vranesic, "Fundamentals of Digital Logic with Verilog Design", 2007.  
J. P. Hoffbeck, "Using Practical Examples in Teaching Digital Logic Design", 2014.

**22. Internet web reference:****23. U primjeni od akademske godine:**

2016/2017

**24. Usvojen na sjednici NNV/UNV:**

04.04.2016