

SYLLABUS

1. Puni naziv nastavnog predmeta:

Dizajn i implementacija procesora

2. Skraćeni naziv nastavnog predmeta / šifra:

ne popunjavati

3. Ciklus studija:

2

4. Bodovna vrijednost ECTS:

6

5. Status nastavnog predmeta: Obavezni Izborni**6. Preduslovi za polaganje nastavnog predmeta:**

Arhitektura računara

7. Ograničenja pristupa:**8. Trajanje / semestar:** 1 2**9. Sedmični broj kontakt sati:**

9.1. Predavanja:

3

9.2. Auditorne vježbe:

0

9.3. Laboratorijske / praktične vježbe:

0

10. Fakultet:

Fakultet elektrotehnike

11. Odsjek / Studijski program:

Elektrotehnika i računarstvo

12. Odgovorni nastavnik:

dr.sc. Amer Hasanović, red.prof.

13. E-mail nastavnika:

amer.hasanovic@untz.ba

14. Web stranica:

--

15. Ciljevi nastavnog predmeta:

Po završetku kursa, studenti će: razumjeti principe HDLa (Hardware Description Language) korištenjem jezika Verilog, znati primijeniti HDL za dizajn i implementaciju procesora, znati koristiti HDL simulacione alate u fazi dizajna, znati implementirati procesor na ciljnoj FPGA platformi.

16. Ishodi učenja:

--

17. Indikativni sadržaj nastavnog predmeta:

HDL koncepti. Verilog tipovi podataka, vrijednosti, registri, žice i moduli. Verilog kontrolne strukture. Verilog simulatori Icarus i Verilator. Dizajn, simulacija i implementacija jednociklusnog procesora. Dizajn, simulacija i implementacija procesora sa cjevovodom. Tretman prekida. Organizacija memorije.

18. Metode učenja:

--

19. Objašnjenje o provjeri znanja:

Tokom semestra se obavlja kontinuirana provjera znanja kroz neke od narednih aktivnosti: izrada zadaća, testova, seminarskih radova ili projektnih zadataka.

Završni ispit se radi pismeno ili usmeno.

20. Težinski faktor provjere:

--

21. Osnovna literatura:

Hennessy and Patterson, "Computer Architecture: A Quantitative Approach", Morgan Kaufmann, 2011

22. Internet web reference:**23. U primjeni od akademske godine:**

2016/2017

24. Usvojen na sjednici NNV/UNV: